

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-051183

(43)Date of publication of application : 20.02.1996

(51)Int.Cl.

H01L 25/10

H01L 25/11

H01L 25/18

H01L 23/32

(21)Application number : 06-184385

(71)Applicant : NEC CORP

(22)Date of filing : 05.08.1994

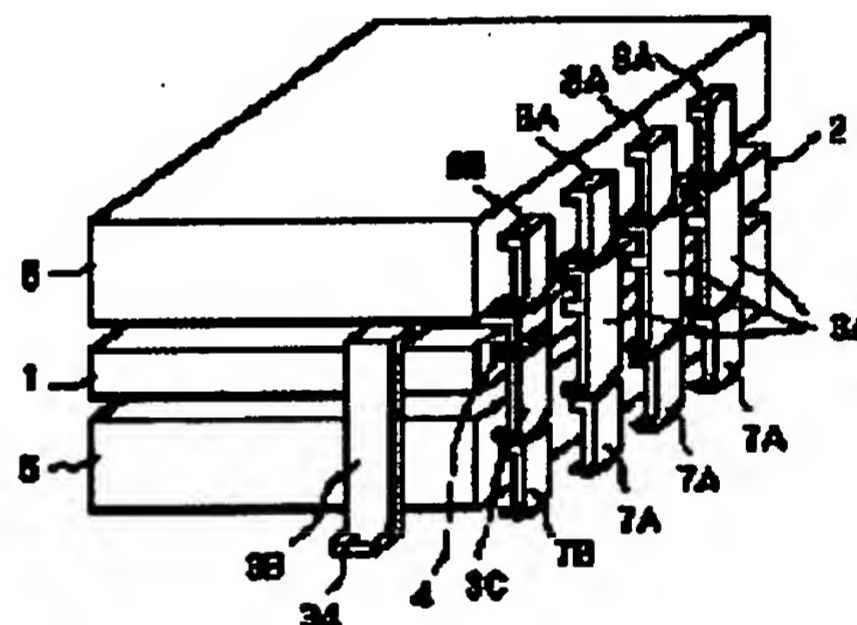
(72)Inventor : KAWAGUCHI TAKEMI

## (54) CONNECTING ADAPTER FOR SEMICONDUCTOR DEVICE AND MOUNTING STRUCTURE

(57)Abstract:

**PURPOSE:** To provide a connecting adapter for a semiconductor device and its mounting structure capable of mounting general-purpose semiconductor devices on a circuit board with high density.

**CONSTITUTION:** Semiconductor storage elements 5 are mounted on a circuit substrate. Terminals 7A and 8A are composed of power terminals, ground terminals, address terminals, data terminals, and parts of control terminals respectively, and are connectable in common to different semiconductor storage elements 5 and 6. On the other hand, element selecting terminals 7B and 8B are those to be used independently at respective different semiconductor storage elements 5 and 6. A connecting adaptor 1 is mounted on the semiconductor storage element 5, and in addition the semiconductor storage element 6 is mounted on the connecting adaptor 1. The terminals 7A and 8A are electrically connected to one another through the medium connecting terminals 3A. The element selecting terminals 7B are directly connected to the circuit to the circuit board, and the element selecting terminals 8B are connected to the circuit board through the connecting terminals 3B of a connecting adaptor 1.



## LEGAL STATUS

[Date of request for examination]

05.08.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	2571021
[Date of registration]	24.10.1996
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	24.10.2001

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-51183

(43)公開日 平成8年(1996)2月20日

(51)IntCl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/10				
25/11				
25/18				
23/32	D			
			H 0 1 L 25/ 14	Z
			審査請求 有	請求項の数3 O L (全 5 頁)

(21)出願番号 特願平6-184385

(22)出願日 平成6年(1994)8月5日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 川口 武美

東京都港区芝5丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 松浦 兼行

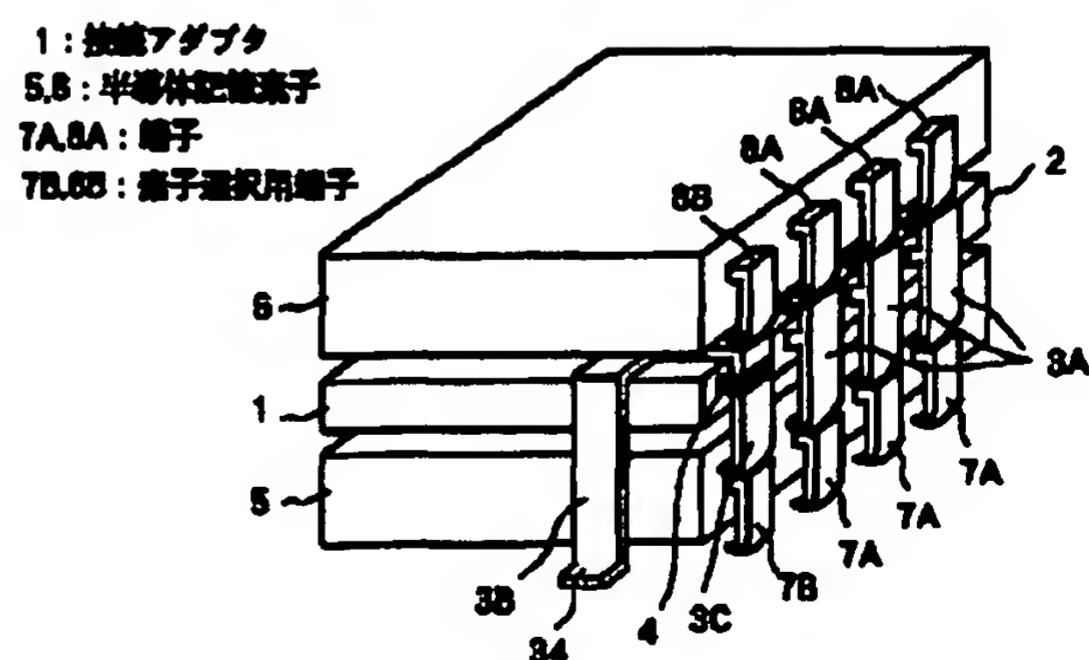
(54)【発明の名称】 半導体装置の接続アダプタ及び実装構造

(57)【要約】

【目的】 本発明は半導体装置を回路基板上に汎用的なタイプの半導体装置を高密度に実装し得る半導体装置の接続アダプタ及びその実装構造を提供する。

【構成】 半導体記憶素子5は回路基板上に実装されている。端子7A及び8Aはそれぞれ電源端子、グランド端子、アドレス端子、データ端子及び一部の制御端子からなり、異なる半導体記憶素子5及び6に共通に接続可能な端子である。一方、素子選択用端子7B及び8Bは、異なる半導体記憶素子5及び6それぞれにおいて独立して使用される端子である。半導体記憶素子5上に接続アダプタ1が実装され、更に接続アダプタ1上に半導体記憶素子6が実装されている。端子7A及び8Aは、接続端子3Aを介して互いに電気的に接続され、素子選択用端子7Bは回路基板に直接に接続されると共に、素子選択用端子8Bは、接続アダプタ1の接続端子3Bを介して回路基板に接続される。

本発明の実装構造の一実施例の斜視図



## 【特許請求の範囲】

【請求項1】 実装対象の半導体装置のパッケージと対応した形状寸法のアダプタ本体と、

前記実装対象の半導体装置の端子の寸法及び配置間隔に対応した寸法及び間隔で該アダプタ本体の側面に配置固定されると共に、一端が該アダプタ本体の下面よりも下方に突き出た第1の接続端子と、

一端が該第1の接続端子が固定された該アダプタ本体の同じ側面に固定され、該一端が該アダプタ本体の側面から上面に延在し、該上面上で屈曲した後該アダプタ本体の別の側面を介して該アダプタ本体の下面よりも所定距離下方に突き出た他端を有する形状の第2の接続端子とを少なくとも有することを特徴とする半導体装置の接続アダプタ。

【請求項2】 前記アダプタ本体の側面において前記第2の接続端子と同位置に固定され、一端が該アダプタ本体の下面よりも下方に突き出た第3の接続端子と、該第2の接続端子と該第3の接続端子との間を絶縁する絶縁部とを更に有することを特徴とする請求項1記載の半導体装置の接続アダプタ。

【請求項3】 請求項1又は2記載の接続アダプタの下部に、端子が少なくとも前記第1の接続端子に接続された第1の半導体装置を実装し、該接続アダプタの上部に、端子が前記第1又は第2の接続端子に接続された第2の半導体装置を実装し、前記第2の接続端子の他端を回路基板上に接続したことを特徴とする実装構造。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の接続アダプタ及び実装構造に係り、特に半導体記憶素子などの複数の半導体装置を接続するための接続アダプタ及びその接続アダプタを使用して複数の半導体装置を積層実装した実装構造に関する。

## 【0002】

【従来の技術】 従来の半導体装置の実装構造には、プリント基板上に平面的に複数の半導体装置を直接に配置する構造があり、また、半導体装置をモジュール化しコネクタを介して実装する構造などがある。

## 【0003】

【発明が解決しようとする課題】 しかるに、上記のプリント基板上に平面的に複数の半導体装置を直接に配置する、前者の従来の実装構造は、実装しようとする半導体装置の数があれば増えるほどプリント基板の面積が必要となるため、プリント基板の面積に制約がある通常の実装構造では、高集積化に限度がある。

【0004】 一方、上記の半導体装置をモジュール化しコネクタを介して実装する後者の従来の実装構造では、高密度実装としての効果はあるが、モジュール化及びコネクタの使用による大幅なコストアップのため、経済的

【0005】 そこで、従来より半導体チップを内蔵するパッケージの上面から側面を介して下面にまで延在する帯状で断面コ字状の接続端子を一定間隔で配置し、かつ、その接続端子の一部をパッケージ内を貫通して半導体チップにボンディングワイヤを介して電気的に接続するように半導体装置を構成し、この半導体装置をプリント基板上に載置すると共に同じ構造の半導体装置を上部に積層することにより、それぞれの接続端子を互いに当接接続し、多数の半導体装置をプリント基板上に立体的に実装し、多数の半導体装置を実装しても、プリント基板上の実装面積を減少するようにした半導体装置が知られている（特開昭63-182845号公報）。

【0006】 しかし、この従来の半導体装置では、内部にデバイス選択信号を発生する回路を有しており、外形や内部回路などをすべて実装のために新規な構成とする必要があり、汎用性が無く、コスト的にも不利であるという問題がある。

【0007】 本発明は以上の点に鑑みなされたもので、半導体装置を回路基板上に高密度実装し得る半導体装置の接続アダプタ及びこの接続アダプタを用いた実装構造を提供することを目的とする。

【0008】 また、本発明の他の目的は、汎用的なタイプの半導体装置を高密度に実装し得る半導体装置の接続アダプタ及びその実装構造を提供することにある。

## 【0009】

【課題を解決するための手段】 本発明の半導体装置の接続アダプタは上記の目的を達成するため、実装対象の半導体装置のパッケージと対応した形状寸法のアダプタ本体と、実装対象の半導体装置の端子の寸法及び配置間隔に対応した寸法及び間隔でアダプタ本体の側面に配置固定されると共に、一端がアダプタ本体の下面よりも下方に突き出た第1の接続端子と、一端が第1の接続端子が固定されたアダプタ本体の同じ側面に固定され、一端がアダプタ本体の側面から上面に延在し、上面上で屈曲した後アダプタ本体の別の側面を介してアダプタ本体の下面よりも所定距離下方に突き出た他端を有する形状の第2の接続端子とを少なくとも有する構成とし、更にはこれに加えてアダプタ本体の側面において第2の接続端子と同位置に固定され、一端がアダプタ本体の下面よりも下方に突き出た第3の接続端子と、第2の接続端子と第3の接続端子との間を絶縁する絶縁部とを有する構成としたものである。

【0010】 また、本発明の実装構造は、上記の目的を達成するため、上記の接続アダプタの下部に、端子が少なくとも第1の接続端子に接続された第1の半導体装置を実装し、接続アダプタの上部に、端子が第1又は第2の接続端子に接続された第2の半導体装置を実装し、第2の接続端子の他端を回路基板上に接続した構造である。

【作用】本発明では接続アダプタの下部と上部にそれぞれ第1及び第2の半導体装置を実装することにより、第1の半導体装置の端子が接続アダプタの第1及び第3の接続端子のうち少なくとも第1の接続端子に接続され、また、第2の半導体装置の端子が接続アダプタの第1又は第2の接続端子に接続されるとともに、第2の接続端子の他端が回路基板に接続されるため、第1及び第2の半導体装置の共通接続可能な端子は接続アダプタの第1の接続端子を介して共通接続され、また独立して接続すべき端子は接続アダプタの第2の接続端子を介して直接に回路基板に接続できる。

【0012】また、本発明では、第1及び第2の半導体装置の共通接続可能な端子は接続アダプタの第1の接続端子を介して共通接続され、また独立して接続すべき端子は接続アダプタの第2の接続端子を介して直接に回路基板に接続されるため、既存の表面実装タイプの実装する半導体装置の構成の変更が不要にできる。

【0013】更に、本発明では接続アダプタに第3の接続端子を有することにより、接続アダプタの下部に位置する半導体装置の端子と第3の接続端子とが接続される。

【0014】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1は本発明になる半導体装置の接続アダプタの一実施例の外観図を示す。同図において、接続アダプタ1は、実装の対象となる半導体装置として、集積回路化された半導体記憶素子のパッケージに対応する外形寸法の薄板状のアダプタ本体2と、このアダプタ本体2の側面に固定された複数の接続端子3Aと、それぞれ単一の接続端子3B及び3Cと、接続端子3B及び3Cの間を絶縁する絶縁部4とから構成されている。

【0015】アダプタ本体2の高さ（厚さ）寸法は、半導体記憶素子を実装したときに、半導体記憶素子の端子と接続端子3A、3B及び3Cとが接続されるように、できるだけ薄く形成されている。接続端子3A、3B及び3Cは、それぞれ実装の対象となる半導体記憶素子の端子間隔と等しい間隔でアダプタ本体2に配置されている。

【0016】また、複数の接続端子3Aはそれぞれ断面がほぼJ字状で、そのほぼ中央部分に設けられた突設部31がアダプタ本体2の側面に固定され、その上部32は下面がアダプタ本体2の上面に当接するように屈曲され、かつ、湾曲された下部33はアダプタ本体2の側面よりも下方向へ突き出た構成とされている。

【0017】この突き出た部分の長さは、接続対象の半導体記憶素子のパッケージ上面から端子までの長さに対応する。また、接続端子3Aはそれぞれ実装対象の半導体記憶素子のアドレス端子などの接続対象の端子に対応してアダプタ本体2の対向する両側面にそれぞれ複数個

【0018】接続端子3Bは、アダプタ本体1の側面から上面に伸び、更にアダプタ本体1の上面上で90°折り曲げられた後、アダプタ本体1の別の空いている側面を介して下方に伸びた形状とされており、更にその一端は34で示す如く外側に90°折り曲げられている。この接続端子3Bのアダプタ本体2の下方に伸びた長さLは、接続対象の半導体記憶素子のパッケージの高さ（厚さ）に対応して定められる。

【0019】また、接続端子3Cは、アダプタ本体2の側面において、接続端子3Bの他端と同位置にその一端が配置固定されており、その断面がほぼJ字状で、湾曲された他端が接続端子3Aの下部33と同様に、アダプタ本体2の側面よりも下方向へ突き出た構成とされている。

【0020】この突き出た部分の長さは、接続対象の半導体記憶素子のパッケージ上面から素子選択用端子までの長さに対応する。更に、接続端子3Cの一端と接続端子3Bの他端との間のアダプタ本体2の側面には、絶縁部4が形成され、接続端子3Cと3Bとを絶縁している。

【0021】次に、本発明になる実装構造の一実施例について図2と共に説明する。図2は本発明になる実装構造の一実施例の斜視図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明を省略する。図2において、接続アダプタ1の下部と上部のそれぞれに半導体記憶素子5及び6がそれぞれ積層実装されている。

【0022】半導体記憶素子5は図示しないプリント基板などの回路基板上に実装されており、その直方体状のパッケージの側面に複数の端子7Aと単一の素子選択用端子7Bとが配置されている。同様に、半導体記憶素子6はその直方体状のパッケージの側面に、複数の端子8Aと単一の素子選択用端子8Bとが配置されている。

【0023】端子7A及び8Aはそれぞれ電源端子、グランド端子、アドレス端子、データ端子及び一部の制御端子からなり、異なる半導体記憶素子5及び6に共通に接続可能な端子である。一方、素子選択用端子7B及び8Bは、異なる半導体記憶素子5及び6それぞれにおいて独立して使用される端子である。

【0024】本実施例では、回路基板上に実装された半導体記憶素子5上に接続アダプタ1を実装し、更に接続アダプタ1上に半導体記憶素子6を実装した構造である。これにより、半導体記憶素子5及び6の各端子7A及び8Aは、接続アダプタ1の接続端子3Aを介して互いに電気的に接続され、また、半導体記憶素子5の素子選択用端子7Bは回路基板に直接に接続されると共に、接続端子3Cに接続され、更に、半導体記憶素子6の素子選択用端子8Bは、接続アダプタ1の接続端子3Bを介して回路基板に接続されることとなる。

7 Bは、接続端子3 Cに接続する必要は特にないが、接続端子3 Cは接続アダプタ1を固定する目的で使用するため、接続するのが望ましい。

【0026】このように、本実施例によれば、2個の半導体記憶素子5及び6を接続アダプタ1を介して積層実装するようにしたため、半導体記憶素子5及び6の実装面積を、回路基板上に平面的に配置する従来の実装方法に比し半分以上にすることができる。

【0027】また、モジュール化しコネクタを介して実装する従来方法では、モジュール化による半導体記憶素子を実装する回路基板及びそのモジュールの組み立て費用と、モジュール化された半導体記憶素子をメインの回路基板に実装するためのコネクタとが必要であるが、本実施例では接続アダプタ1を必要とするのみであるため、コストを低減することができる。更に、本実施例は既存の表面実装タイプの半導体記憶素子5及び6の構成の変更が不要であるため、汎用性がある。

【0028】なお、本発明は上記の実施例に限定されるものではなく、例えば半導体記憶素子を3個以上実装することも接続アダプタ1の接続端子3 Bの形状を変更することで可能である。図3は半導体記憶素子を3個実装したときの、本発明実装構造の他の実施例の斜視図で、図2と同一構成部分には同一符号を付し、その説明を省略する。

【0029】図3において、半導体記憶素子6の上部に接続アダプタ1'が実装され、更に接続アダプタ1'の上部に3個目の半導体記憶素子9が実装されている。接続アダプタ1'は、接続アダプタ1と同様に、アダプタ本体2'の側面に複数の接続端子3 A'が固定され、それぞれ単一の接続端子3 B'及び3 C'と、接続端子3 B'及び3 C'の間を絶縁する絶縁部4'とから構成されている。

【0030】接続アダプタ1'は接続端子3 A' 3 B'及び絶縁部4'が接続アダプタ1の接続端子3 A、3 C及び絶縁部4と同一構成であるが、接続端子3 B'のアダプタ本体2'の下方に伸びた長さが、接続対象の半導体記憶素子のパッケージの高さ(厚さ)と接続アダプタ1の高さとの和に対応して定められている点異なる。

【0031】これにより、半導体記憶素子9の端子10 Aは半導体記憶素子5及び6の各端子7 A及び8 Aと共に、接続端子3 A'及び3 Aを介して互いに電氣的に接続され、また、半導体記憶素子9の素子選択用端子10 Bは、接続アダプタ1'の接続端子3 B'を介して回路基板に接続されることとなる。

【0032】なお、本発明は上記の実施例に限定されるものではなく、例えば接続対象としては半導体記憶素子に限らず、その他の集積回路化された半導体装置一般に適用できるものである。また、接続アダプタの形状を変

更することにより、一般的な汎用の半導体装置であれば、どのようなものでも対応可能である。

【0033】

【発明の効果】以上説明したように、本発明の接続アダプタ及び実装構造によれば、接続アダプタの下部と上部に実装された第1及び第2の半導体装置の共通接続可能な端子は接続アダプタの第1の接続端子を介して共通接続され、また独立して接続すべき端子は接続アダプタの第2の接続端子を介して直接に回路基板に接続できるため、第1及び第2の半導体装置の実装面積を、回路基板上に平面的に配置する従来の実装方法に比し高密度実装することができる。

【0034】また、本発明によれば、モジュール化しコネクタを介して実装する従来方法に比べて、モジュール化による半導体記憶素子を実装する回路基板及びそのモジュールの組み立て費用と、モジュール化された半導体記憶素子をメインの回路基板に実装するためのコネクタが不要であるため、コストを低減することができる。

【0035】更に、本発明によれば、既存の表面実装タイプの半導体記憶素子などの実装する半導体装置の構成の変更が不要であるため、汎用性があり、また、接続アダプタの形状が実装する半導体装置の形状に対応しているため、どのような形状の半導体装置に対しても適用できるため、経済的である。

【0036】また、更に、本発明によれば、接続アダプタにアダプタ本体の側面において第2の接続端子と同位置に固定され、一端がアダプタ本体の下面よりも下方に突き出た第3の接続端子と、第2の接続端子と第3の接続端子との間を絶縁する絶縁部とを設けることにより、接続アダプタの下部に位置する半導体装置の端子と第3の接続端子とが接続される結果、接続アダプタ全体を安定的に固定できる。

【図面の簡単な説明】

【図1】本発明の接続アダプタの一実施例の外観図である。

【図2】本発明の実装構造の一実施例の斜視図である。

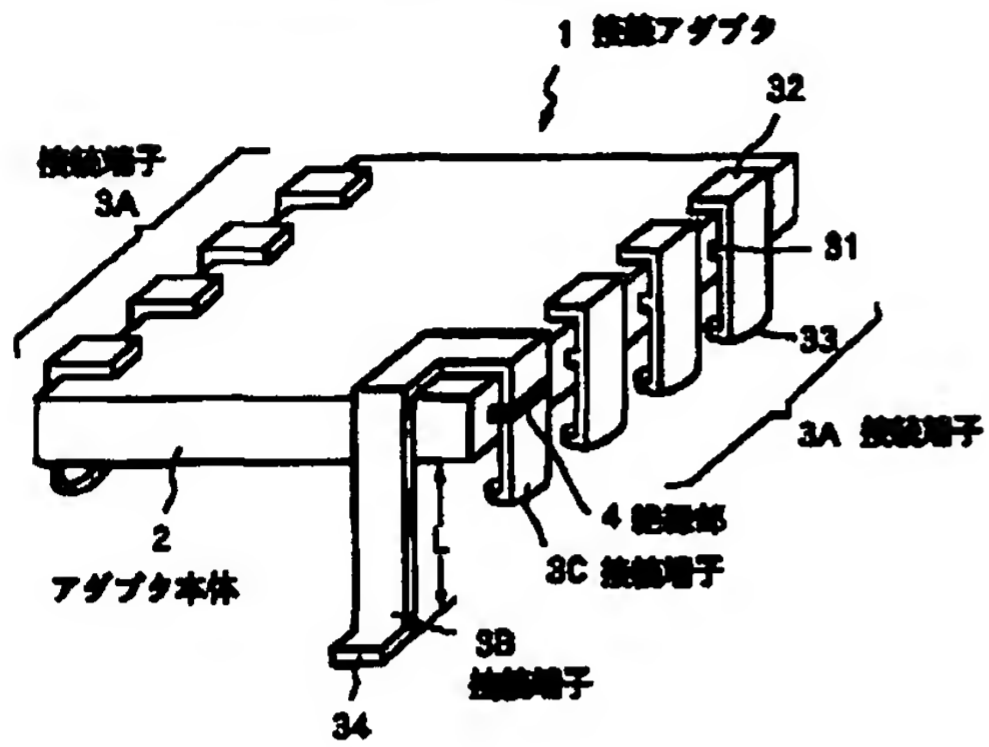
【図3】本発明の実装構造の他の実施例の斜視図である。

【符号の説明】

- 1、1' 接続アダプタ
- 2、2' アダプタ本体
- 3 A、3 A' 第1の接続端子
- 3 B、3 B' 第2の接続端子
- 3 C、3 C' 第3の接続端子
- 4、4' 絶縁部
- 5、6、9 半導体記憶素子
- 7 A、8 A、10 A 端子
- 7 B、8 B、10 B 素子選択用端子

【図1】

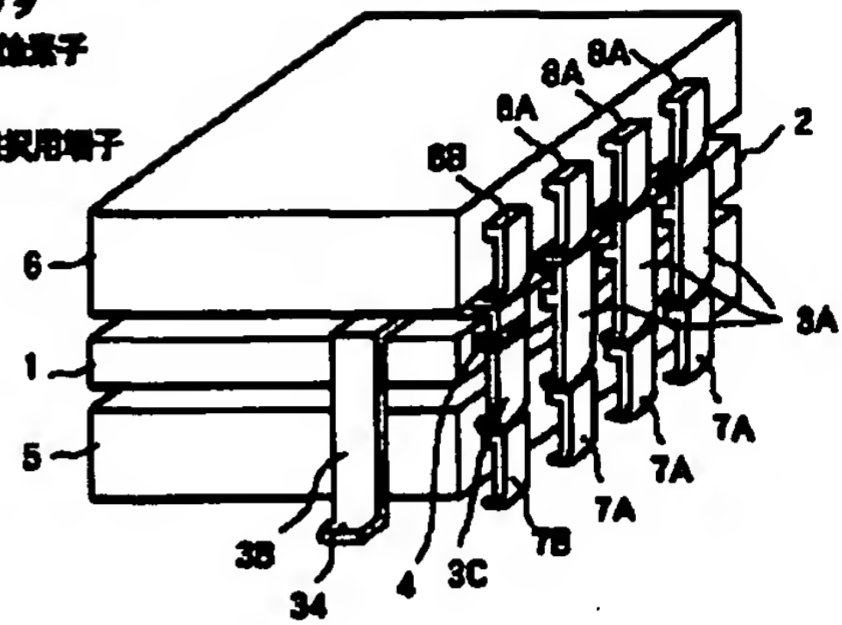
本発明の接続アダプタの一実施例の外観図



【図2】

本発明の実装構造の一実施例の斜視図

1: 接続アダプタ  
 5,6: 半導体記憶素子  
 7A,8A: 端子  
 7B,8B: 高圧選択用端子



【図3】

本発明の実装構造の他の実施例の斜視図

